



AP/2621

#4

35.G2699

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
: Examiner: NYA
TOSHIO KAMESHIMA ET AL.)
: Group Art Unit: 2621
Application No.: 09/748,219)
:
Filed: December 27, 2000)
:
For: AREA SENSOR, IMAGE)
: INPUT APPARATUS HAVING)
: THE SAME, AND METHOD OF)
: DRIVING THE AREA SENSOR : April 17, 2001

Commissioner for Patents
Washington, D.C. 20231

RECEIVED

APR 24 2001

Technology Center 2000

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the
International Convention and all rights to which they are
entitled under 35 U.S.C. § 119 based upon the following Japanese
Priority Applications:

371334/1999 filed December 27, 1999
379144/2000 filed December 13, 2000

Certified copies of the priority document are
enclosed.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,


Attorney for Applicants

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 162290 v 1



CFG 2699 US
09/748,219

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月27日

出 願 番 号

Application Number:

平成11年特許願第371334号

出 願 人

Applicant (s):

キヤノン株式会社

RECEIVED

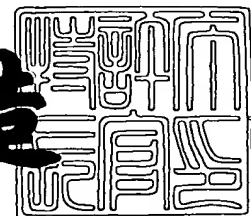
APR 24 2001

Technology Center 2600

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3114278

【書類名】 特許願

【整理番号】 4073002

【提出日】 平成11年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 27/105

【発明の名称】 半導体装置およびその駆動方法

【請求項の数】 28

【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内
【氏名】 亀島 登志男

【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内
【氏名】 海部 紀之

【特許出願人】
【識別番号】 000001007
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫

【代理人】
【識別番号】 100065385
【弁理士】
【氏名又は名称】 山下 穰平
【電話番号】 03-3431-1831

【手数料の表示】
【予納台帳番号】 010700
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 それぞれスイッチング素子を有する複数の画素を 2 次元的に配置し、一方向に配列された前記スイッチング素子に接続される共通線を複数有し、前記共通線に制御信号を印加して前記スイッチング素子の駆動を行う半導体装置において、

前記共通線には前記制御信号を印加する複数の駆動手段が接続されていることを特徴とする半導体装置。

【請求項 2】 前記駆動手段は前記共通線の両端にそれぞれ接続されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記共通線の両端にそれぞれ接続された前記駆動手段からは同じタイミングで前記制御信号が印加されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記複数の駆動手段を同時に駆動可能にするため、前記複数の駆動手段の駆動を開始させるためのスタート信号入力部を前記駆動手段は有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記スイッチング素子は薄膜トランジスタであり、前記共通線は共通ゲート線であることを特徴とする請求項 1 ～ 4 のいずれかの請求項に記載の半導体装置。

【請求項 6】 前記画素が前記薄膜トランジスタと接続された光電変換素子を有していることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記画素が前記薄膜トランジスタと接続された表示素子を有していることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記一方向と異なる他方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線を複数有し、前記共通ソース線には前記薄膜トランジスタのソース電極に信号を印加する複数のソース駆動手段が接続されていることを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 9】 前記ソース駆動手段は前記共通ソース線の両端にそれぞれ接

続されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 0】 前記共通ソース線の両端にそれぞれ接続された前記ソース駆動手段からは同じタイミングで前記信号が印加されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 1】 それぞれ薄膜トランジスタと表示素子とを有する複数の画素を 2 次元的に配置し、一方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線を複数有する半導体装置において、

前記共通ソース線には複数のソース駆動手段が接続されていることを特徴とする半導体装置。

【請求項 1 2】 それぞれ薄膜トランジスタと光電変換素子とを有する複数の画素を 2 次元的に配置し、一方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線を複数有する半導体装置において、

前記共通ソース線には複数の信号読み出し手段が接続されていることを特徴とする半導体装置。

【請求項 1 3】 それぞれ薄膜トランジスタと表示素子とを有する複数の画素を 2 次元的に配置し、一方向に配列された前記薄膜トランジスタのゲート電極に接続される共通ゲート線の複数と、他方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線の複数と、を有する半導体装置において、

前記共通ソース線には複数のソース駆動手段が接続されており、かつ前記共通ゲート線には複数のゲート駆動手段が接続されていることを特徴とする半導体装置。

【請求項 1 4】 それぞれ薄膜トランジスタと光電変換素子とを有する複数の画素を 2 次元的に配置し、一方向に配列された前記薄膜トランジスタのゲート電極に接続される共通ゲート線の複数と、他方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線の複数と、を有する半導体装置において、

前記共通ソース線には複数の信号読み出し手段が接続されており、かつ前記共通ゲート線には複数のゲート駆動手段が接続されていることを特徴とする半導体

装置。

【請求項 1 5】 前記ソース駆動手段は前記共通ソース線の両端に接続されることを特徴とする請求項 1 1 又は請求項 1 3 に記載の半導体装置。

【請求項 1 6】 前記共通ソース線の両端にそれぞれ接続された前記ソース駆動手段からは同じタイミングで前記制御信号が印加されることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】 前記信号読み出し手段は前記共通ソース線の両端に接続されることを特徴とする請求項 1 2 又は請求項 1 4 に記載の半導体装置。

【請求項 1 8】 前記共通ソース線の両端にそれぞれ接続された前記信号読み出し手段からは同じタイミングで信号読み出しが行われることを特徴とする請求項 1 7 に記載の半導体装置。

【請求項 1 9】 前記ゲート駆動手段は前記共通ゲート線の両端に接続されることを特徴とする請求項 1 3 又は請求項 1 4 に記載の半導体装置。

【請求項 2 0】 前記共通ゲート線の両端にそれぞれ接続された前記ゲート駆動手段からは同じタイミングで前記制御信号が印加されることを特徴とする請求項 1 9 に記載の半導体装置。

【請求項 2 1】 前記薄膜トランジスタはアモルファスシリコンを材料として用いていることを特徴とする請求項 5 ～ 2 0 のいずれかの請求項に記載の半導体装置。

【請求項 2 2】 前記光電変換素子はアモルファスシリコンを材料として用いていることを特徴とする請求項 1 2、1 4、1 7、1 8 のいずれかの請求項に記載の半導体装置。

【請求項 2 3】 前記光電変換素子はアモルファスセレンまたは PbI_2 又はガリウムヒ素を材料として用いた X 線センサであることを特徴とする請求項 1 2、1 4、1 7、1 8 のいずれかの請求項に記載の半導体装置。

【請求項 2 4】 前記表示素子は液晶素子である請求項 1 1 又は請求項 1 3 に記載の半導体装置。

【請求項 2 5】 前記ゲート駆動手段または前記ソース駆動手段または信号読み出し手段は共通ゲート線あるいは共通ソース線と異方性接続されていること

を特徴とする請求項 1 1 ～ 1 4 のいずれかの請求項に記載の半導体装置。

【請求項 2 6】 それぞれスイッチング素子を有する複数の画素を 2 次元的に配置し、該スイッチング素子を共通の共通線に接続された画素列を有する半導体装置の駆動方法において、

前記スイッチング素子を駆動するための制御信号を前記共通線の少なくとも 2 点から同時に印加し、前記共通線に印加された制御信号により前記共通の共通線に接続されたスイッチング素子を駆動することを特徴とする半導体装置の駆動方法。

【請求項 2 7】 同時に印加される前記制御信号は同じ印加時間を有する請求項 2 6 に記載の半導体装置の駆動方法。

【請求項 2 8】 前記共通線に印加される制御信号は前記共通線の両端側から印加される請求項 2 6 に記載の半導体装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はデジタルカメラ、X線撮影装置などに用いられるエリアセンサあるいは液晶ディスプレイなどの半導体装置およびその駆動方法に関するものである。詳しくは光電変換素子とスイッチ素子あるいは液晶素子とスイッチ素子から成る画素を 2 次元的に配列した半導体装置において、駆動信号を対向する 2 辺から同時に印加することを特徴とする半導体装置およびその駆動方法に関するものである。

【0 0 0 2】

【従来の技術】

光電変換素子とスイッチ素子、あるいは液晶素子とスイッチ素子から成る画素を 2 次元的に配列した半導体装置の従来技術について図 1 1 ～ 図 1 4 を用いて説明する。

【0 0 0 3】

図 1 1 は光電変換素子とスイッチ素子を画素に有する半導体装置（エリアセンサ）の模式的回路図であり、図 1 2 は液晶素子とスイッチ素子を画素に有する半

導体装置（液晶ディスプレイ）の模式的回路図である。また、図 13 は従来の半導体装置のゲートラインの等価回路と、ゲートドライバからゲートラインに印加される駆動波形（ゲートパルス）の概念図であり、図 14 は従来の半導体装置のゲートドライバの駆動を説明するタイミング図である。

【0004】

図 11 に示すように、従来のエリアセンサの各画素 S は光電変換素子（ここではフォトダイオード）PD と薄膜トランジスタ（TFT）Tr により構成されている。フォトダイオード PD のカソード電極はバイアスライン Vs に接続され電源 3 によりバイアス電圧が印加されている。薄膜トランジスタ Tr のソース電極は画素列ごとにそれぞれデータライン Sig1 ～ SigN に接続され、薄膜トランジスタ Tr のゲート電極は画素行ごとにそれぞれゲートライン Vg1 ～ VgN に接続されている。この例においてエリアセンサの駆動に必要な配線はバイアスライン Vs、データライン Sig1 ～ SigN、ゲートライン Vg1 ～ VgN である。またフォトダイオード PD のアノード電極と薄膜トランジスタ Tr のドレイン電極は各画素で相互に接続されている。この例ではデータライン Sig1 ～ SigN は垂直方向に、ゲートライン Vg1 ～ VgN は水平方向に引き回されている。さらに各データライン Sig1 ～ SigN は読み出し装置 1 に接続されている。一般的に読み出し装置 1 はアンプ 1a、アナログマルチプレクサ 1b などにより構成される。一方、各ゲートライン Vg1 ～ VgN はゲートドライバ 2 に接続される。一般的にゲートドライバ 2 は図示しないシフトレジスタなどにより構成される。

【0005】

また図 12 に示すように、従来液晶ディスプレイの各画素 S は液晶表示容量 C と薄膜トランジスタ（TFT）Tr により構成されている。薄膜トランジスタ Tr のソース電極は画素列ごとにそれぞれデータライン Sig1 ～ SigN に接続され、薄膜トランジスタ Tr のゲート電極は画素行ごとにそれぞれゲートライン Vg1 ～ VgN に接続されている。また液晶表示容量 C の一方の電極と薄膜トランジスタ Tr のドレイン電極は各画素で相互に接続されている。この例ではデータライン Sig1 ～ SigN は垂直方向に、ゲートライン Vg1 ～ VgN は水平

方向に引き回されている。各データライン $Sig1 \sim SigN$ は液晶ソースドライバ 4 に接続されている。一般的に液晶ソースドライバ 4 はバッファアンプ 4 a、D/A 変換器 4 b などにより構成される。また各ゲートライン $Vg1 \sim VgN$ は液晶ゲートドライバ 5 に接続される。一般的に液晶ゲートドライバ 5 は図示しないシフトレジスタなどにより構成される。

【0006】

【発明が解決しようとする課題】

上記従来のエリアセンサ、液晶ディスプレイなどの半導体装置ではゲートドライバとソースドライバあるいは読み出し装置がそれぞれ一辺でのみ接続され、これにより駆動を行なっている。しかしながら、このような半導体装置では、ゲートラインあるいはデータラインに断線が生じた場合、断線から先の画素の駆動ができないという課題を有していた。

【0007】

上記の従来の半導体装置のゲートラインはゲートライン自身の抵抗 R_{vg} とゲートラインの寄生容量 C_{vg} とにより等価回路的に図 1 3 のように表すことができる。従って図 1 1 中ゲートライン VgN の A に印加されたゲートパルスは抵抗 R_{vg} 、寄生容量 C_{vg} により、ゲートライン VgN の B では図 1 3 に示すように波形に遅延を生じてしまう。一般に TFT を ON して電荷を転送するにはしきい値電圧 V_{th} を超えた状態で一定の時間 T_b が必要である。ここで説明したような波形の遅延が生じると、パルス幅の時間 T_a を長く設定して電荷転送に必要な時間 T_b を確保しなくてはならない。

【0008】

図 1 4 の駆動タイミング図に示すようにエリアセンサあるいは液晶ディスプレイ全体を駆動するにはこの遅延のために、 $(T_a - T_b) \times N$ だけの余分な時間が必要となり、これはエリアセンサ、液晶ディスプレイのより一層の高速駆動化の妨げとなる場合がある。

【0009】

このように従来のエリアセンサ、液晶ディスプレイなどの半導体装置ではゲートライン、データラインに断線が生じた場合に断線から先の駆動ができないだけ

ではなく、高速駆動を行うためには改善の余地を有していた。

【 0 0 1 0 】

本発明は従来の半導体装置における上述の問題点を鑑みてなされたものであり、断線の影響がなくさらに高速駆動に適した半導体装置を提供することを目的としている。

【 0 0 1 1 】

【課題を解決するための手段および作用】

本発明の半導体装置は、それぞれスイッチング素子を有する複数の画素を2次元的に配置し、一方向に配列された前記スイッチング素子に接続される共通線を複数有し、前記共通線に制御信号を印加して前記スイッチング素子の駆動を行う半導体装置において、前記共通線には前記制御信号を印加する複数の駆動手段が接続されていることを特徴とする。

【 0 0 1 2 】

スイッチング素子としては薄膜トランジスタ、ダイオード等が挙げられる。例えば、液晶ディスプレイにおいてはスイッチング素子として薄膜トランジスタ、ダイオードを用いることができ、薄膜トランジスタを用いる場合には共通ゲート線や共通ソース線に制御信号を印加し、ダイオードを用いる場合には一方の端子（液晶素子と接続される端子と異なる側の端子）に制御信号を印加する。エリアセンサにおいては薄膜トランジスタを用いることができ、共通ゲート線に制御信号を印加する。

【 0 0 1 3 】

また、スイッチング素子により制御される被制御体としては、液晶素子に代表される表示素子、光電変換素子に代表的されるセンサ素子等が挙げられるが、特にこれらに限定されるものではない。

【 0 0 1 4 】

また本発明の半導体装置は、それぞれ薄膜トランジスタと表示素子とを有する複数の画素を2次元的に配置し、一方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線を複数有する半導体装置において、前記共通ソース線には複数のソース駆動手段が接続されていることを特徴とする。

【 0 0 1 5 】

また本発明の半導体装置は、それぞれ薄膜トランジスタと光電変換素子とを有する複数の画素を2次元的に配置し、一方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線を複数有する半導体装置において、前記共通ソース線には複数の信号読み出し手段が接続されていることを特徴とする。

【 0 0 1 6 】

また本発明の半導体装置は、それぞれ薄膜トランジスタと表示素子とを有する複数の画素を2次元的に配置し、一方向に配列された前記薄膜トランジスタのゲート電極に接続される共通ゲート線の複数と、他方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線の複数と、を有する半導体装置において、前記共通ソース線には複数のソース駆動手段が接続されており、かつ前記共通ゲート線には複数のゲート駆動手段が接続されていることを特徴とする。

【 0 0 1 7 】

また本発明の半導体装置は、それぞれ薄膜トランジスタと光電変換素子とを有する複数の画素を2次元的に配置し、一方向に配列された前記薄膜トランジスタのゲート電極に接続される共通ゲート線の複数と、他方向に配列された前記薄膜トランジスタのソース電極に接続される共通ソース線の複数と、を有する半導体装置において、前記共通ソース線には複数の信号読み出し手段が接続されており、かつ前記共通ゲート線には複数のゲート駆動手段が接続されていることを特徴とする。

【 0 0 1 8 】

なお、ゲート駆動手段またはソース駆動手段または信号読み出し手段は、共通ゲート線あるいは共通ソース線と、例えば異方性導電樹脂を用いた配線接続である異方性接続で接続される。

【 0 0 1 9 】

【実施例】

以下で本発明の実施例について図面を用いて詳しく説明する。

【 0 0 2 0 】

＜第 1 の実施例＞

図 1 は本発明の半導体装置の第 1 の実施例の模式的回路図である。なお図 1 1 と同一構成部材については同一符号を付する。図 2 は第 1 の実施例の半導体装置の動作を説明するタイミング図である。本実施例はエリアセンサに本発明を適用した場合を示すものである。

【 0 0 2 1 】

図 1 1 に示した従来例と同様にエリアセンサの各画素 S はフォトダイオード P D と薄膜トランジスタ (T F T) T r により構成されている。フォトダイオード P D のカソード電極はバイアスライン V s に接続され電源 3 によりバイアス電圧が印加されている。薄膜トランジスタ T r のソース電極は画素列ごとにそれぞれデータライン S i g 1 ～ S i g N に接続され、薄膜トランジスタ T r のゲート電極は画素行ごとにそれぞれゲートライン V g 1 ～ V g N に接続されている。フォトダイオード P D のアノード電極と薄膜トランジスタ T r のドレイン電極は各画素で相互に接続されている。さらに各データライン S i g 1 ～ S i g N はアンプ 1 a、アナログマルチプレクサ 1 b などにより構成される読み出し装置 1 に接続されている。ここで留意すべきは各ゲートライン V g 1 ～ V g N が図示しないシフトレジスタなどにより構成される第 1 のゲートドライバ 2 および対向して配置される第 2 のゲートドライバ 6 の両方に接続される点である。

【 0 0 2 2 】

図 2 は図 1 における第 1 のゲートドライバ 2 および第 2 のゲートドライバ 6 がそれぞれゲートライン V g 1 ～ V g N に印加するゲートパルスのタイミング図である。図 1 及び図 2 で明らかなように、本実施例の特徴は各ゲートライン V g 1 ～ V g N が第 1 のゲートドライバ 2 および第 2 のゲートドライバ 6 に接続され、かつ両方のゲートドライバから同時にゲートパルスが印加される点である。

【 0 0 2 3 】

両方のゲートドライバの駆動タイミングは、両方のゲートドライバの駆動開始信号 (スタート信号) を同時に入力することで同調することができる。もちろん、共通のクロック信号に基づいて駆動を制御されることはより好ましい。ゲートドライバには駆動開始信号 (スタート信号) を受けて駆動を開始させるためのス

タート信号入力部を設ける。

【 0 0 2 4 】

この構成によりゲートラインに断線が生じて、どちらか一方のゲートドライバからゲートパルスが印加されるため断線による不具合が生じない。

【 0 0 2 5 】

また各ゲートラインに同時にゲートパルスが印加されるため、実質的にゲートラインの抵抗および寄生容量が低減されることになりゲートパルスの遅延が軽減され、これにより駆動の高速化が可能となる。

【 0 0 2 6 】

なお、本発明はエリアセンサに限定されずラインセンサにも適用することができる。図 1 5 に本発明をラインセンサに適用した場合の模式的回路図を示す。

【 0 0 2 7 】

< 第 2 の実施例 >

図 3 は本発明の半導体装置の第 2 の実施例の模式的回路図である。なお図 1 2 と同一構成部材については同一符号を付する。本実施例は液晶ディスプレイに本発明を適用した場合を示すものである。

【 0 0 2 8 】

図 1 2 に示した従来例と同様に液晶ディスプレイの各画素 S は液晶表示容量 C と薄膜トランジスタ (T F T) T_r により構成されている。薄膜トランジスタ T_r のソース電極は画素列ごとにそれぞれデータライン $S i g 1 \sim S i g N$ に接続され、薄膜トランジスタ T_r のゲート電極は画素行ごとにそれぞれゲートライン $V g 1 \sim V g N$ に接続されている。液晶表示容量 C の一方の電極と薄膜トランジスタ T_r のドレイン電極は各画素で相互に接続されている。さらに各データライン $S i g 1 \sim S i g N$ はバッファアンプ 4 a、D/A 変換器 4 b などにより構成される液晶ソースドライバ 4 に接続されている。ここで留意すべきは各ゲートライン $V g 1 \sim V g N$ が図示しないシフトレジスタなどにより構成される第 1 の液晶ゲートドライバ 5 および対向して配置される第 2 の液晶ゲートドライバ 7 の両方に接続される点である。

【 0 0 2 9 】

第 2 の実施例の駆動については前述の第 1 の実施例と同様に考えることができる。従って、この場合も、第 1 の液晶ゲートドライバ 5 及び第 2 の液晶ゲートドライバ 7 の駆動波形は図 2 に示された第 1 及び第 2 のゲートドライバの駆動波形と同様である。すなわち各ゲートライン $V_{g1} \sim V_{gN}$ が第 1 の液晶ゲートドライバ 5 および第 2 の液晶ゲートドライバ 7 に接続され、かつ両方の液晶ゲートドライバ 5, 7 からは同時にゲートパルスが印加される。

【 0 0 3 0 】

この構成によりゲートラインに断線が生じて、どちらか一方の液晶ゲートドライバからゲートパルスが印加されるため、断線による不具合が生じない。

【 0 0 3 1 】

また各ゲートラインに同時にゲートパルスが印加されるため、実質的にゲートラインの抵抗および寄生容量が低減されゲートパルスの遅延が軽減され、これにより駆動の高速化が可能となる。

【 0 0 3 2 】

< 第 3 の実施例 >

図 4 は本発明の半導体装置の第 3 の実施例の模式的回路図である。なお図 3 と同一構成部材については同一符号を付する。図 5 は本発明の第 3 の実施例の駆動を説明するタイミング図である。本実施例は液晶ディスプレイに本発明を適用した場合を示すものである。

【 0 0 3 3 】

本実施例においても、前述の第 2 実施例と同様に液晶ディスプレイの各ゲートライン $V_{g1} \sim V_{gN}$ は第 1 の液晶ゲートドライバ 5 および第 2 の液晶ゲートドライバ 7 の両方に接続され、図 2 のタイミング図で示すようにゲートライン $V_{g1} \sim V_{gN}$ に対し同時にゲートパルスが印加されている。

【 0 0 3 4 】

本実施例の特徴はゲートライン $V_{g1} \sim V_{gN}$ に加え、各データライン $S_{i1} \sim S_{iN}$ が第 1 の液晶ソースドライバ 4 および対向して配置される第 2 の液晶ソースドライバ 9 の両方に接続され、さらに図 5 のタイミング図に示されるように両方のソースドライバからは同じ信号が印加されている点である。第 2 の液

晶ソースドライバ 9 は第 1 の液晶ソースドライバ 4 と同様にバッファアンプ 9 a、D/A 変換器 9 b などにより構成されている。

【 0 0 3 5 】

この構成によりゲートラインだけでなくデータラインに断線が生じても、どちらか一方のゲートドライバまたはソースドライバから信号が印加されるため、断線による不具合が生じない。

【 0 0 3 6 】

またデータライン、ゲートライン両方に印加される信号の遅延が軽減されるため、高速駆動が可能となる。

【 0 0 3 7 】

< 第 4 の実施例 >

図 6 は本発明の半導体装置の第 4 の実施例の模式的回路図である。なお図 1 と同一構成部材については同一符号を付する。本実施例はエリアセンサに本発明を適用した場合を示すものである。

【 0 0 3 8 】

本実施例においても、前述した第 1 実施例と同様にエリアセンサの各ゲートライン $V_{g1} \sim V_{gN}$ は第 1 のゲートドライバ 2 および対向して配置される第 2 のゲートドライバ 6 の両方に接続され、図 2 のように両方のゲートドライバ 2, 6 からは同時にゲートパルスが印加されている。

【 0 0 3 9 】

本実施例の特徴はゲートライン $V_{g1} \sim V_{gN}$ に加え、各データライン $Sig_1 \sim Sig_N$ が第 1 の読み出し装置 1 および対向して配置される第 2 の読み出し装置 8 の両方に接続されている点である。第 2 の読み出し装置 8 は第 1 の読み出し装置 1 と同様にアンプ 8 a、アナログマルチプレクサ 8 b などにより構成されている。

【 0 0 4 0 】

データラインの駆動については図示しないが、この構成によりゲートラインあるいはデータラインに断線が生じても、信号を供給し、読み出すことができるため断線による不具合が生じない。すなわち断線が生じた場合に、断線箇所より上

は第 1 の読み出し装置 1 により、断線箇所より下は第 2 の読み出し装置 8 により読み出すことができる。なお、第 1 の読み出し装置の読み出しのタイミングと第 2 の読み出し装置の読み出しのタイミングとは、同じでも異なるようにしてもよい。

＜第 5 の実施例＞

図 7 に本発明の半導体装置の第 5 の実施例の模式的回路図を示す。本実施例は特開平 8 - 1 1 6 0 4 4 号公報に開示される X 線撮像システムに本発明を適応したもので、図 7 中 S E で示した部分は特開平 8 - 1 1 6 0 4 4 号公報で提案された光電変換素子であり、像の情報を持つ X 線が入射されることによりこれに対応した電荷を発生し素子内に電荷を蓄積することができる。

【 0 0 4 1 】

図 7 は X 線撮像システム内の光電変換素子パネル部の構成を示している。1 枚のガラス基板上に光電変換素子と電荷を転送するための薄膜トランジスタのペアがアレー状に構成され、左右に複数の共通信号線（データライン）を引き出している。これに対し上下方向には複数の共通ゲート線（ゲートライン）が配線され、各々の共通ゲート線には上下に 2 つのゲート駆動用のシフトレジスタ（ゲートドライバとなる）が接続されている。上下のシフトレジスタは図示していないコントロール回路により同時に同じタイミングで駆動され 1 本のゲート線に一致したゲートパルスを印加するよう動作する。特に本実施例ではゲート線は 2 つの群に分かれており、左半分のゲート線群（1 ～ 1 4 4 0）と右半分のゲート線群（1 4 4 1 ～ 2 8 8 0）で構成され、各ゲート線群から 1 本ずつ同時に 2 本のゲート線にゲートパルスを印加してこれにより転送される電荷を左右の 2 つのアンプ & マルチプレクサ群（読み出し装置となる）で同時に処理できる構成になっている。この構成によりパネル全面を読みとるのに 1 / 2 の時間ですむと同時に、共通信号線の長さや容量を 1 / 2 で構成できているためノイズの少ない高感度の X 線撮像システムを構成できる。

【 0 0 4 2 】

シフトレジスタは 6 個の IC（2 4 0 b i t / IC）で構成されており、上右側、上左側、下右側、下左側にそれぞれシフトレジスタが設けられ、計 2 4 個の

I C が配置されている。

【 0 0 4 3 】

アンプ&マルチプレクサは左右でそれぞれ 9 個、計 1 8 個の A m p I C (2 5 6 A m p / I C) で構成されている。A m p は電流積分タイプである。また、B で示したアンプ&マルチプレクサ群の部分は 3 つのタイプを用いることができる。

【 0 0 4 4 】

3 つのタイプを図 8、図 9、図 1 0 に示す。

【 0 0 4 5 】

図 8 は 9 個の I C の出力を接続し、1 個の A / D 変換回路に入力している。各 I C の出力は I C セレクト信号で制御され、どれか 1 個の I C の出力が A / D 変換回路に入力される。複数の I C は使っているものの 1 つの大きなマルチプレクサ (2 2 6 0 入力、1 出力) が構成されている。

【 0 0 4 6 】

図 9 はセンサ信号線を奇数群と偶数群に分け I C からは奇数群の出力と偶数群の出力の 2 つのアナログ信号が出力される。他の I C の出力とそれぞれ接続され (図 8 と同等)、奇数群のマルチプレクサと偶数群のマルチプレクサの 2 個のマルチプレクサが構成されている。それぞれの出力には A / D 変換回路が接続され、そのデジタル出力をデジタル・マルチプレクサで合成している。

【 0 0 4 7 】

図 1 0 は図 9 の様に I C からは 2 本のアナログ信号が出力されるが、それぞれを 1 つのマルチプレクサ (2 入力、1 出力) に入力し 1 つのアナログ出力を得ている。これは図 8 と同様に 1 つの大きなマルチプレクサ (2 2 6 0 入力、1 出力) が構成されていると考えられる。

【 0 0 4 8 】

【 発明の効果 】

以上説明したように、本発明によれば断線による不具合が無く、かつ高速で駆動可能な半導体装置を実現できる。

【 0 0 4 9 】

また、本発明によれば、より大面積の読取部や表示部を有する半導体装置であっても高速駆動が可能であり、また、より高精細な読み取りや表示を可能にする。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例の模式的回路図である。

【図 2】

本発明の第 1、第 2、第 3、第 4 の実施例の駆動タイミング図である。

【図 3】

本発明の第 2 の実施例の模式的回路図である。

【図 4】

本発明の第 3 の実施例の模式的回路図である。

【図 5】

本発明の第 3 の実施例の駆動タイミング図である。

【図 6】

本発明の第 4 の実施例の模式的回路図である。

【図 7】

本発明の半導体装置の第 5 の実施例の模式的回路図である。

【図 8】

読み出し装置の構成例を示す模式的回路図である。

【図 9】

読み出し装置の構成例を示す模式的回路図である。

【図 1 0】

読み出し装置の構成例を示す模式的回路図である。

【図 1 1】

従来のエリアセンサの模式的回路図である。

【図 1 2】

従来の液晶ディスプレイの模式的回路図である。

【図 1 3】

従来の半導体装置の問題点を説明する等価回路図である。

【図 1 4】

従来の半導体装置のタイミング図である。

【図 1 5】

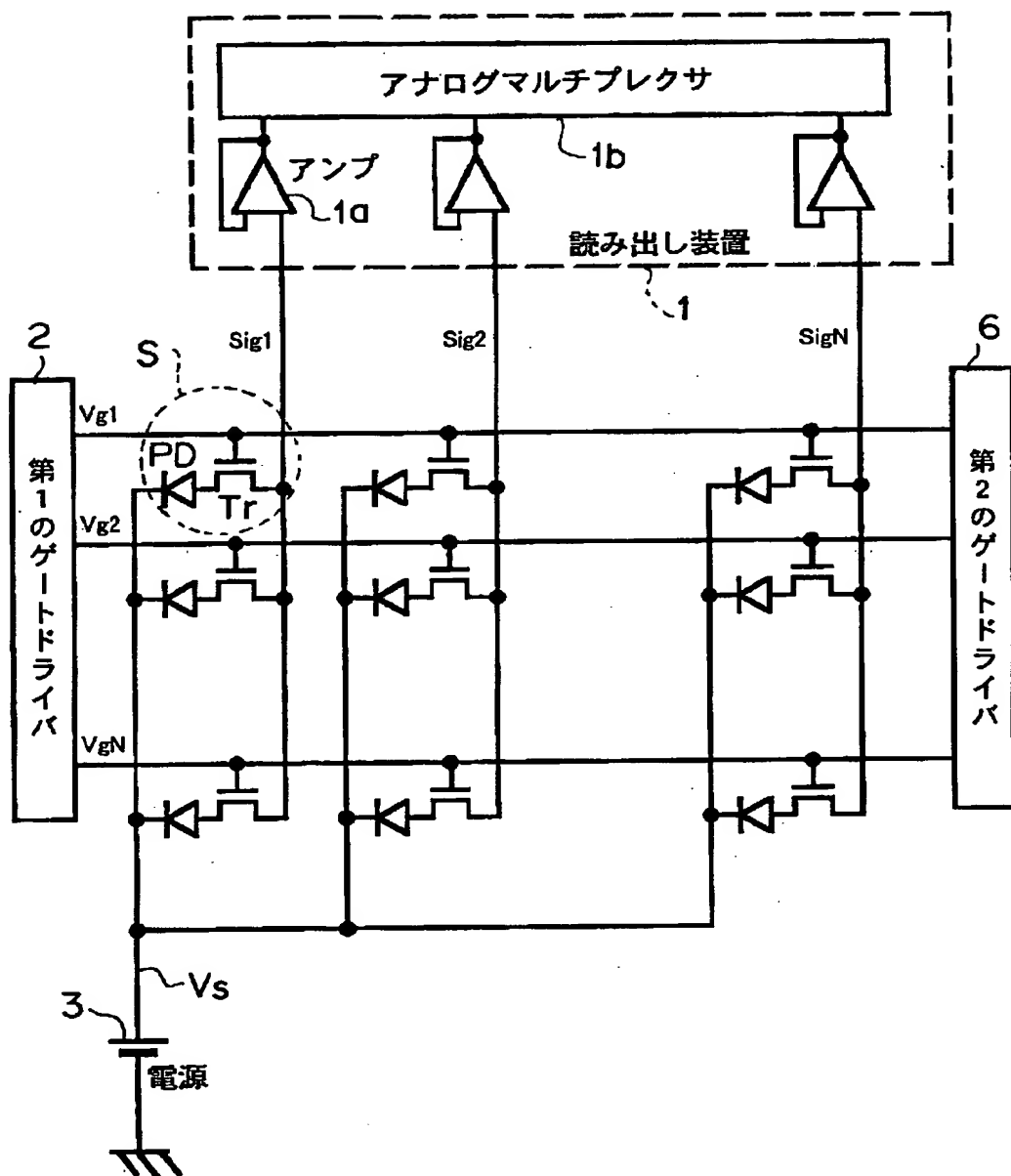
本発明をラインセンサに適用した場合の模式的回路図である。

【符号の説明】

- 1 第 1 の読み出し装置
- 2 第 1 のゲートドライバ
- 3 電源
- 4 第 1 の液晶ソースドライバ
- 5 第 1 の液晶ゲートドライバ
- 6 第 2 のゲートドライバ
- 7 第 2 の液晶ゲートドライバ
- 8 第 2 の読み出し装置
- 9 第 2 の液晶ソースドライバ

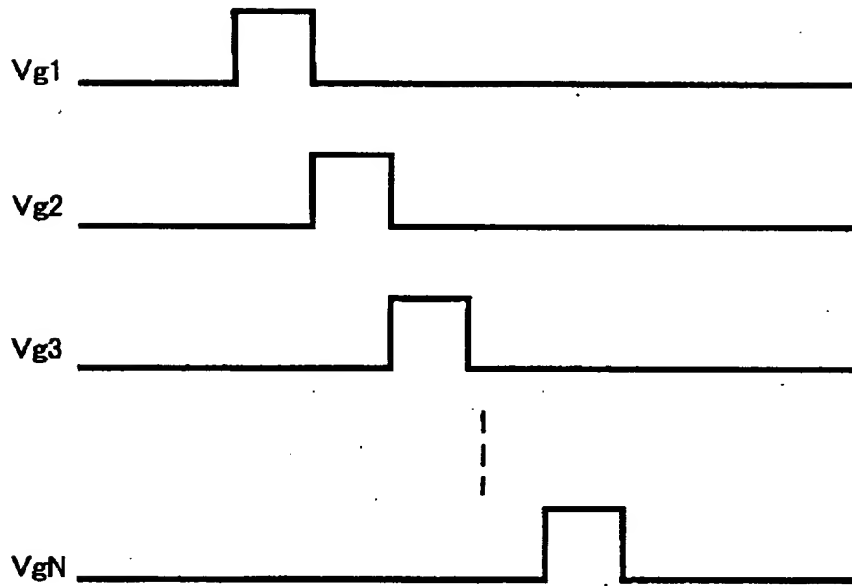
【書類名】 図面

【図 1】

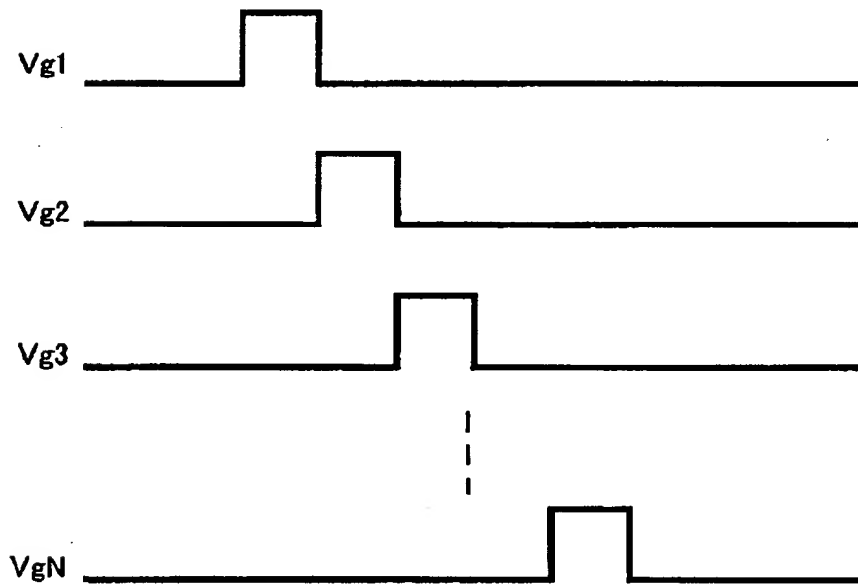


【図 2】

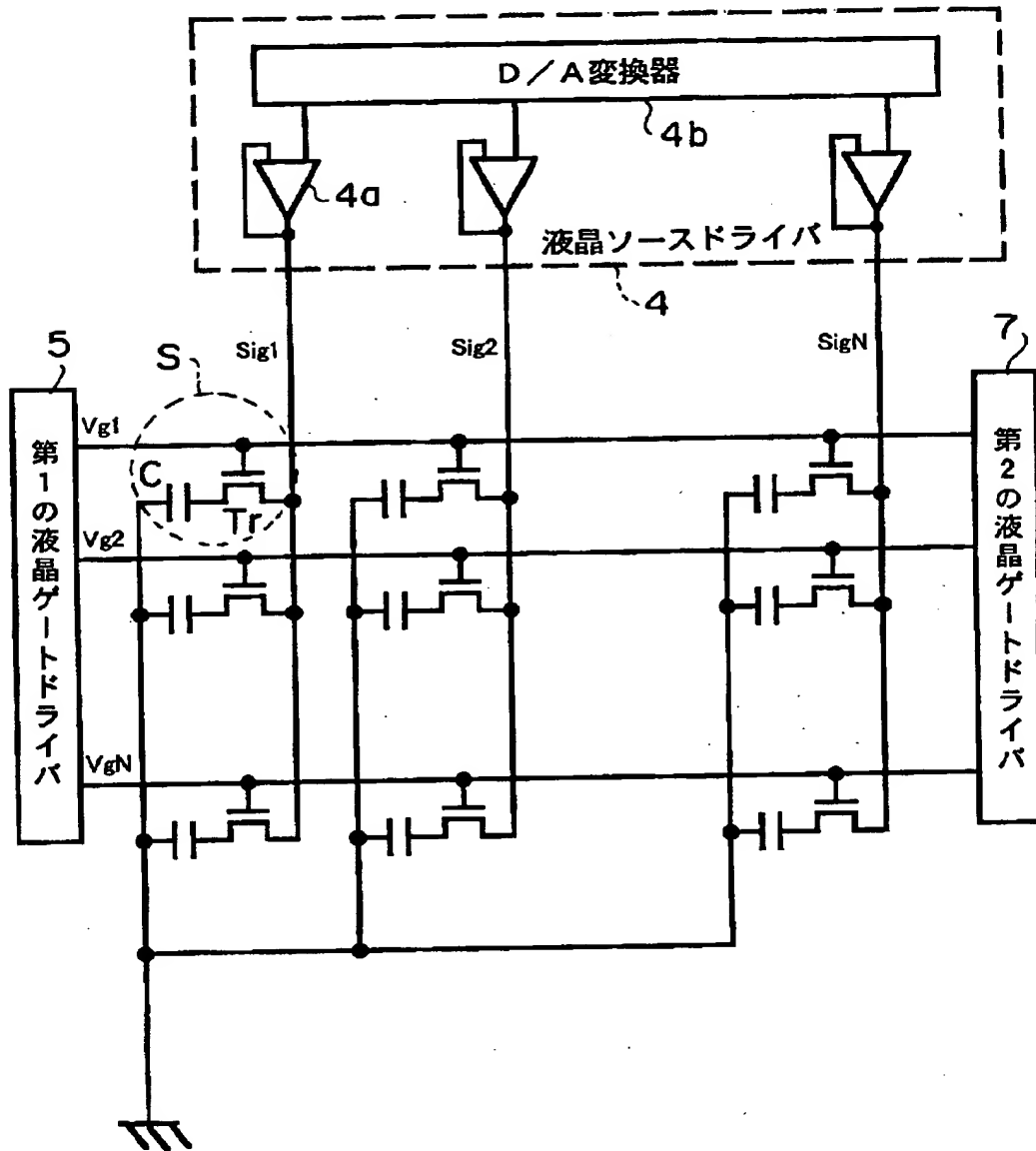
(a) 第 1 のゲートドライバの波形



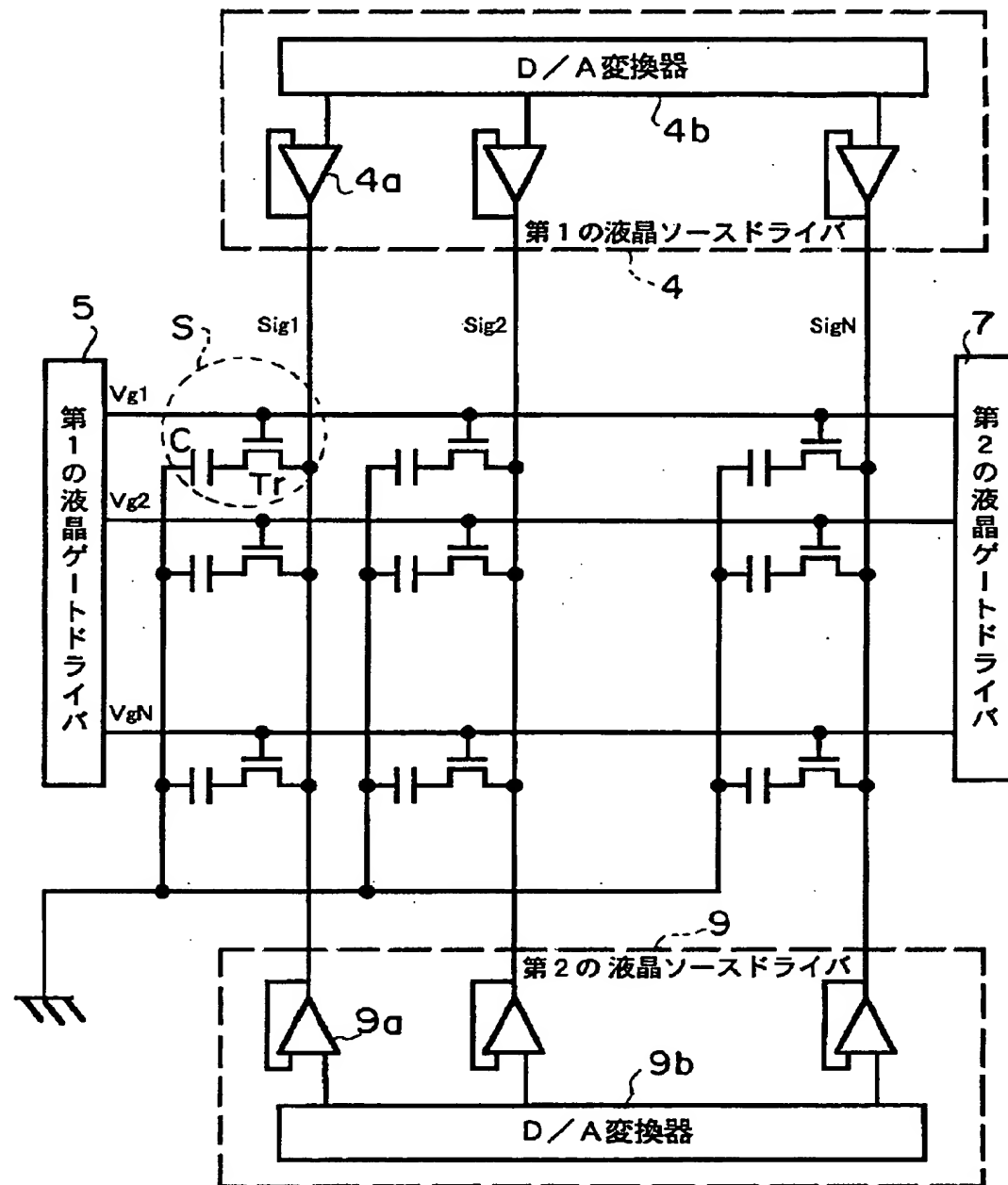
(b) 第 2 のゲートドライバの波形



【図 3】

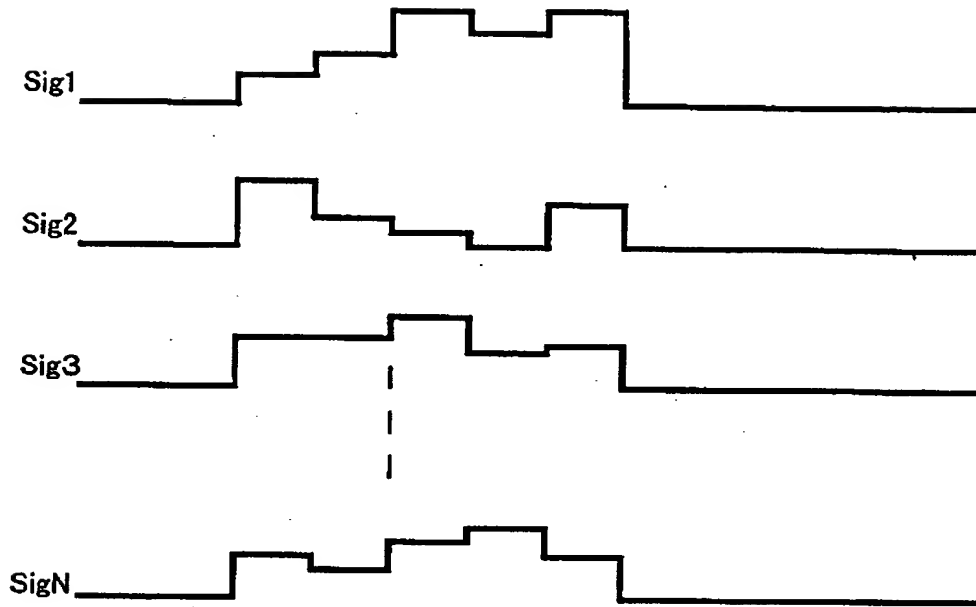


【図 4】

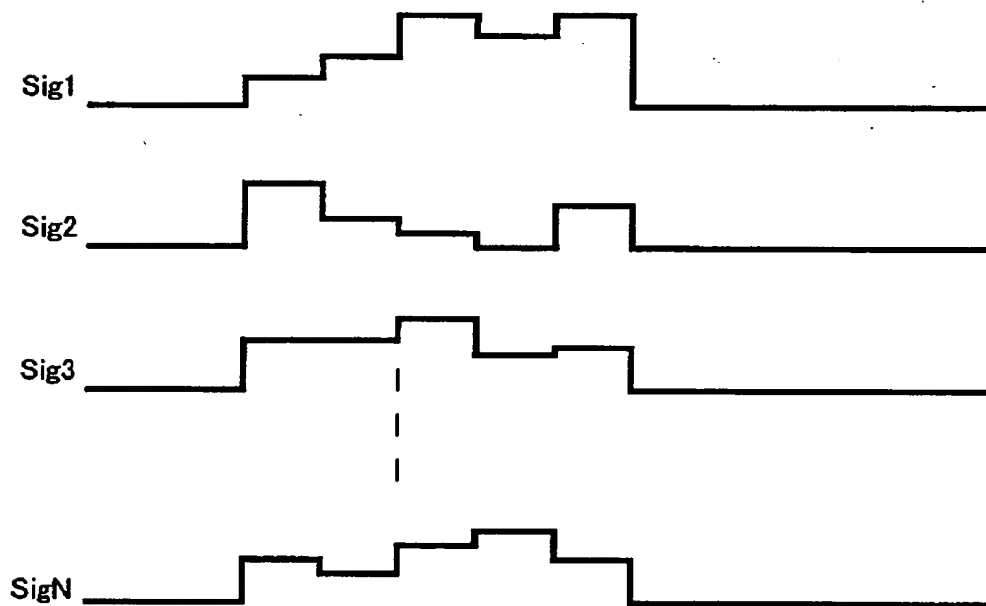


【図 5】

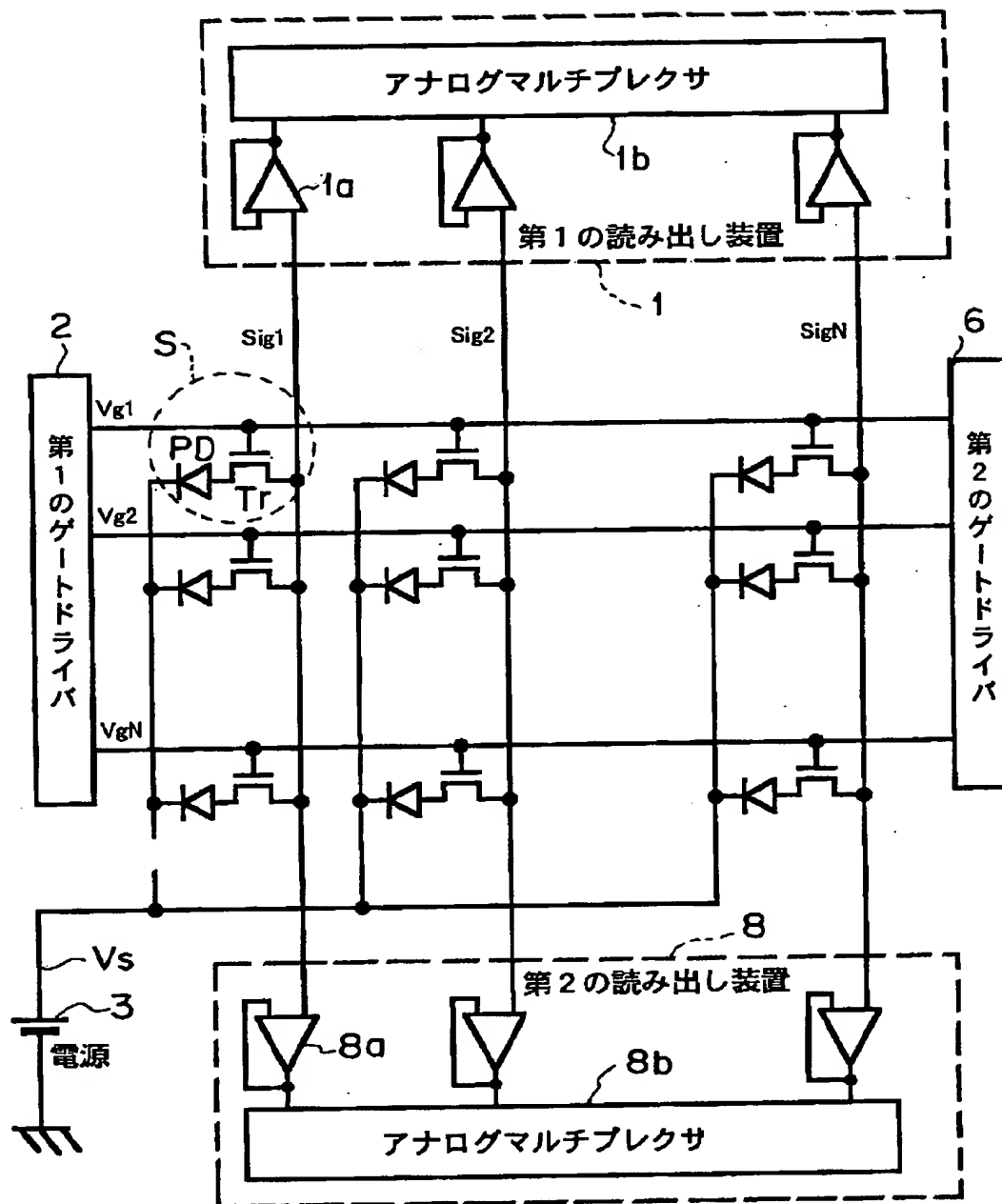
(a) 第 1 のソースドライバの波形



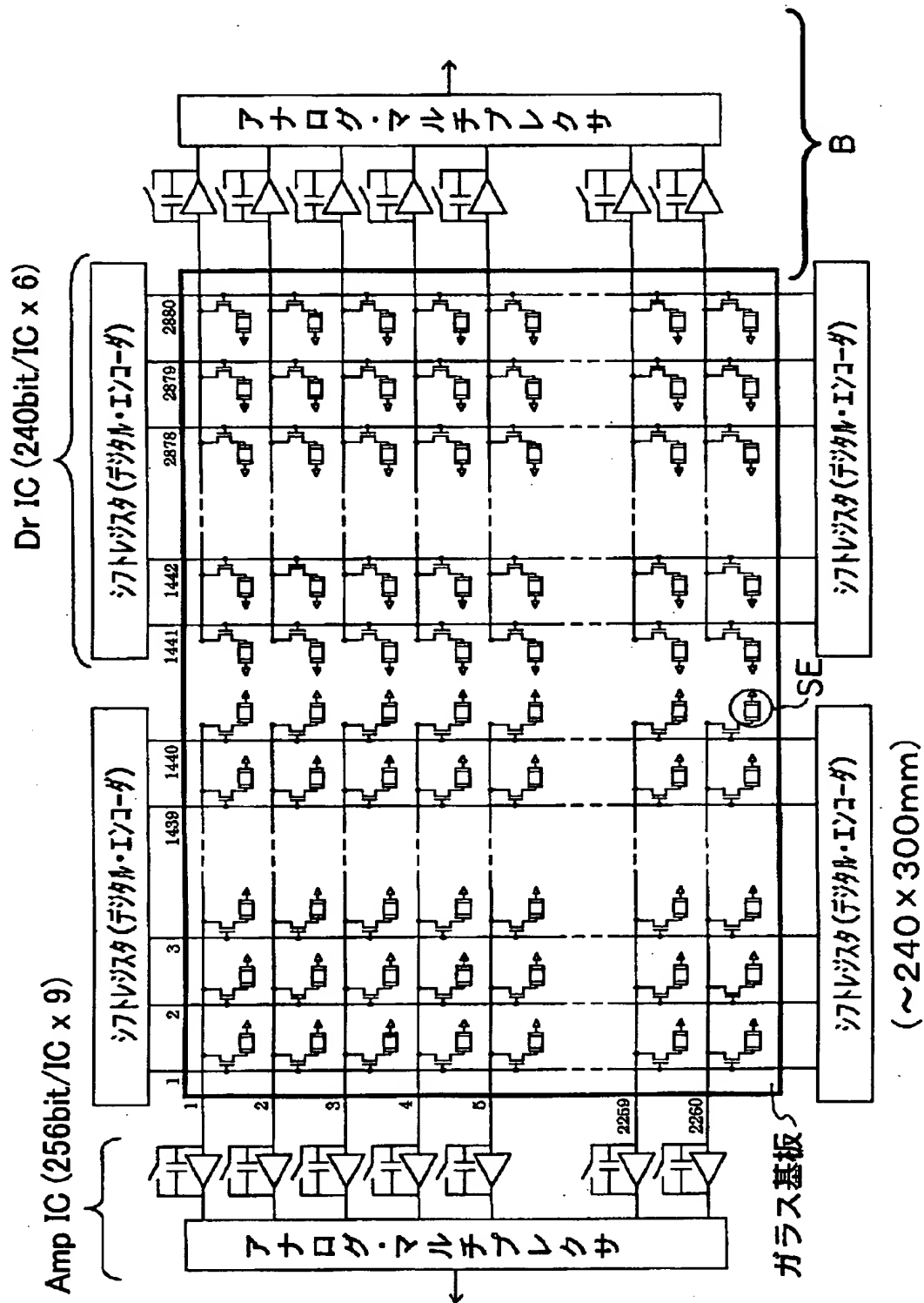
(b) 第 2 のソースドライバの波形



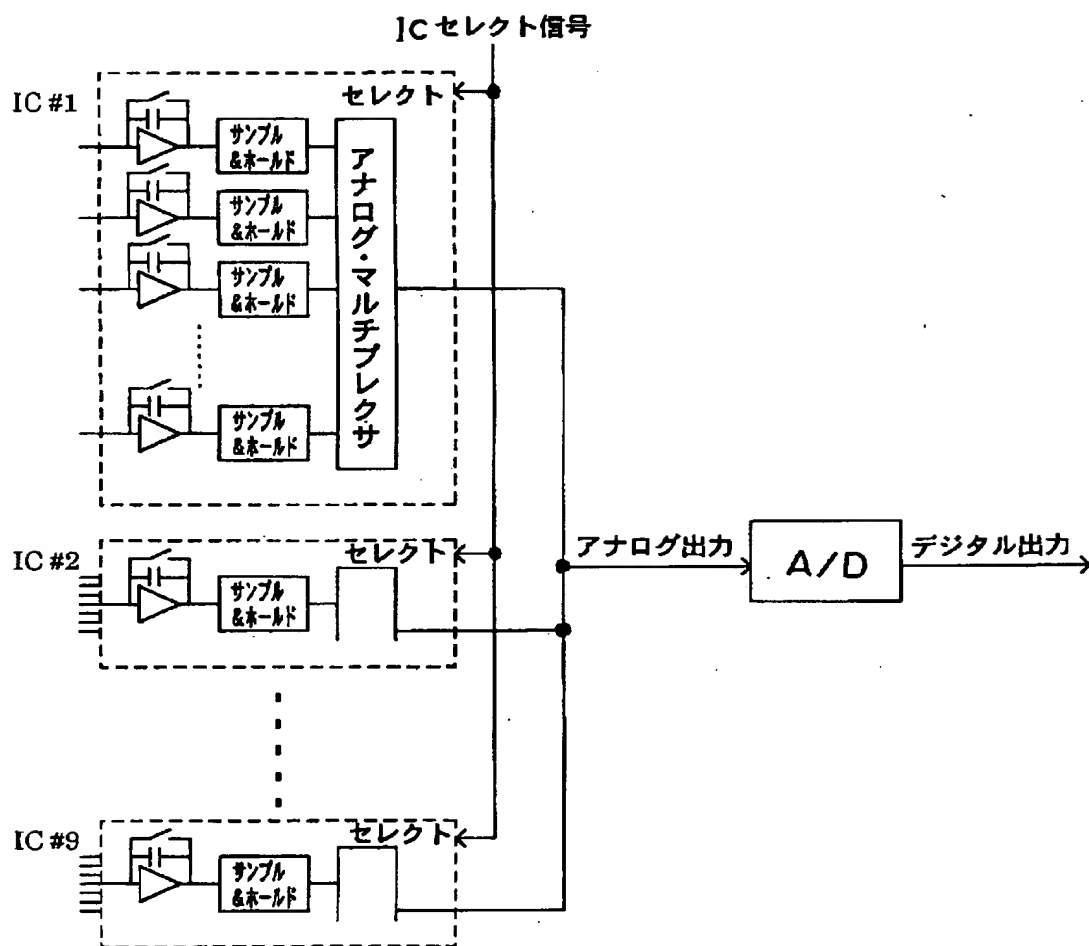
【図 6】



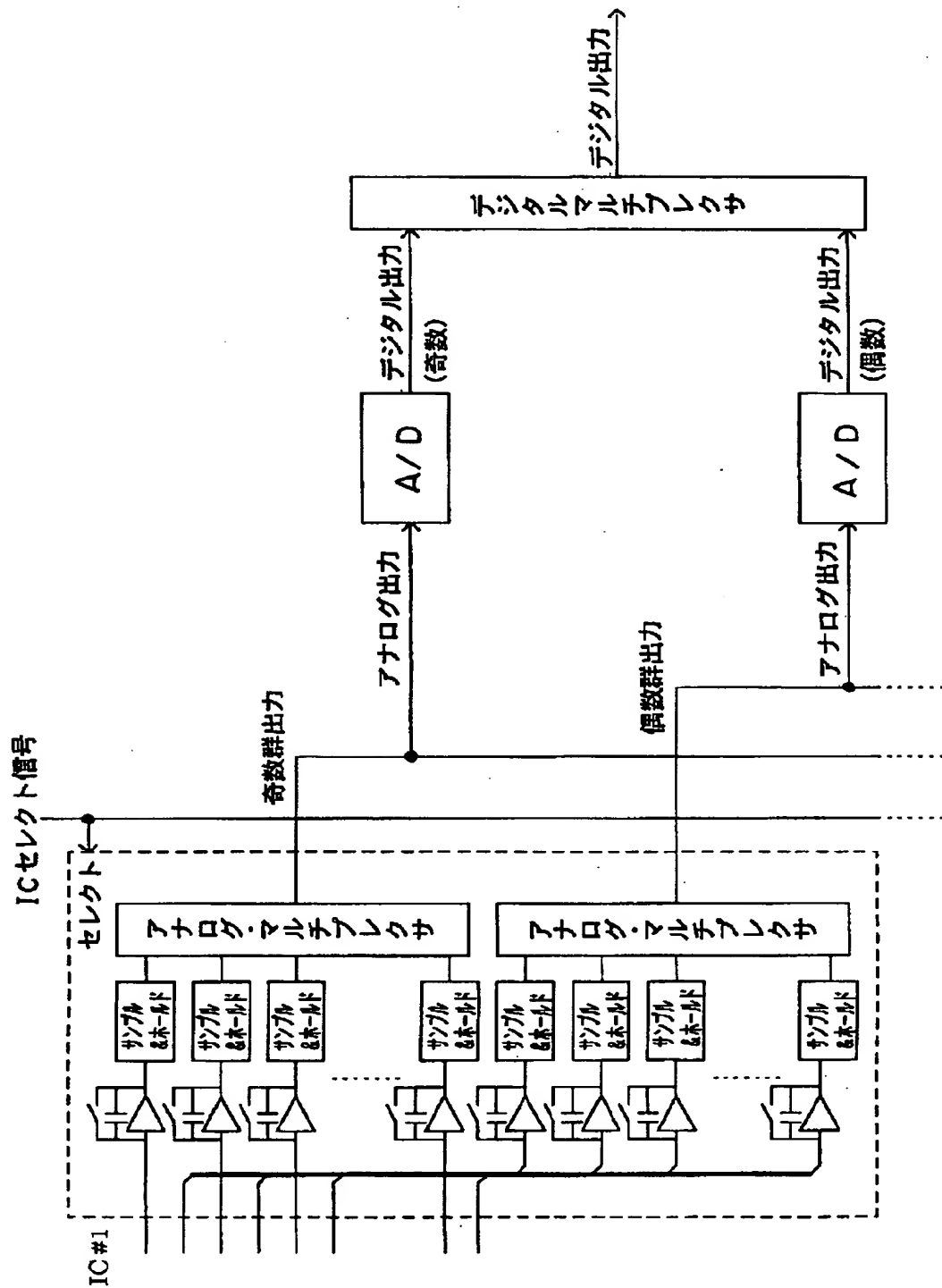
【図 7】



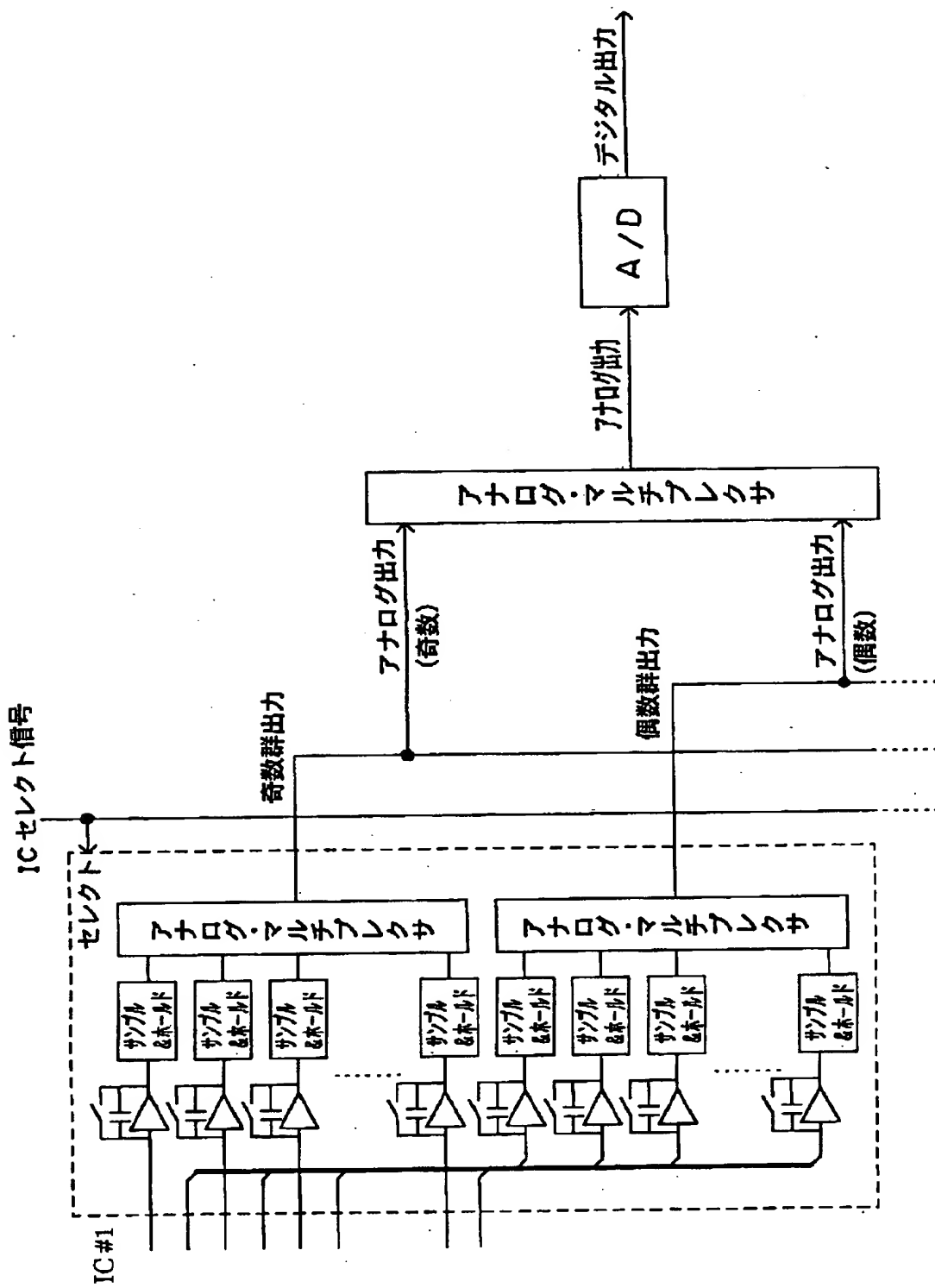
【図 8】



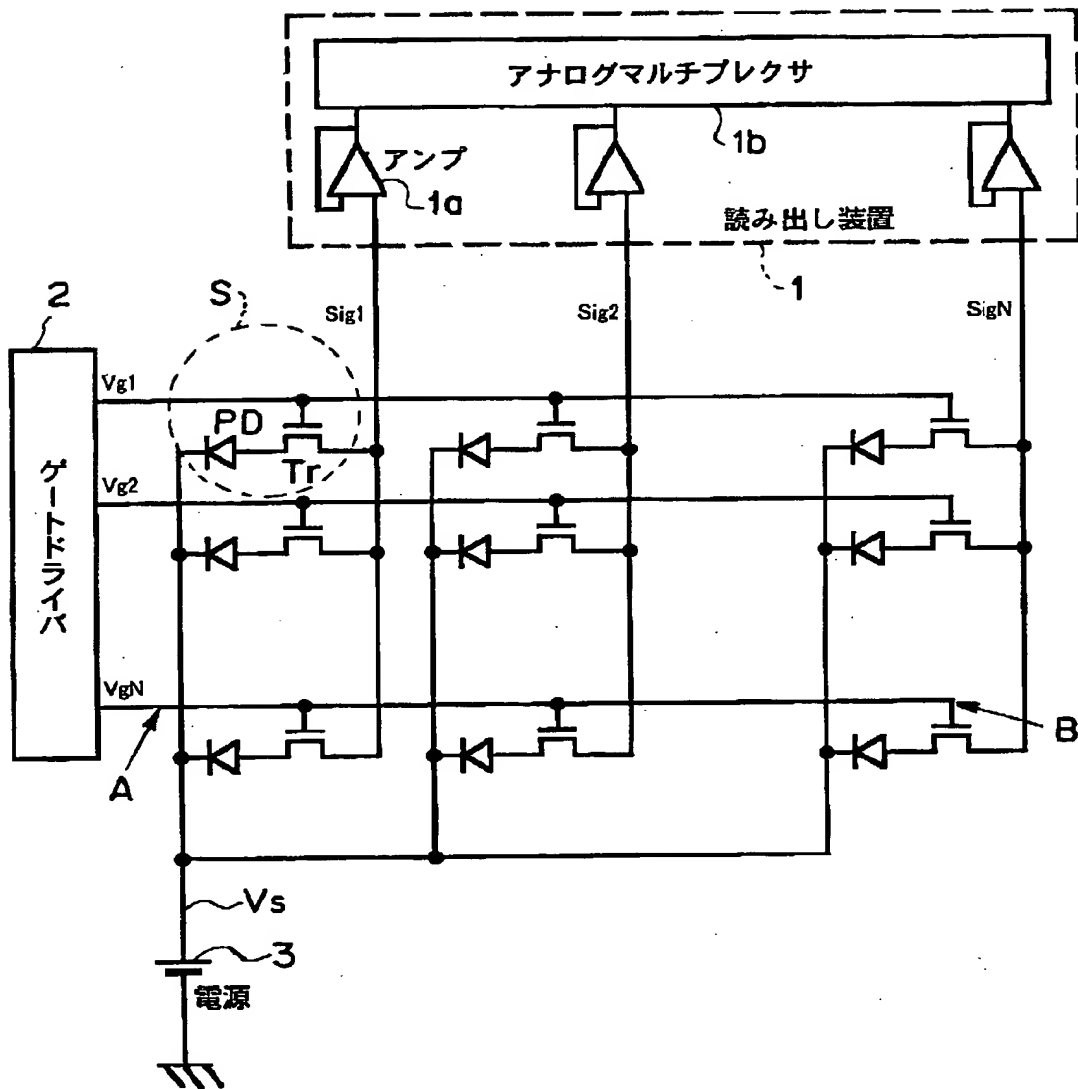
【図 9】



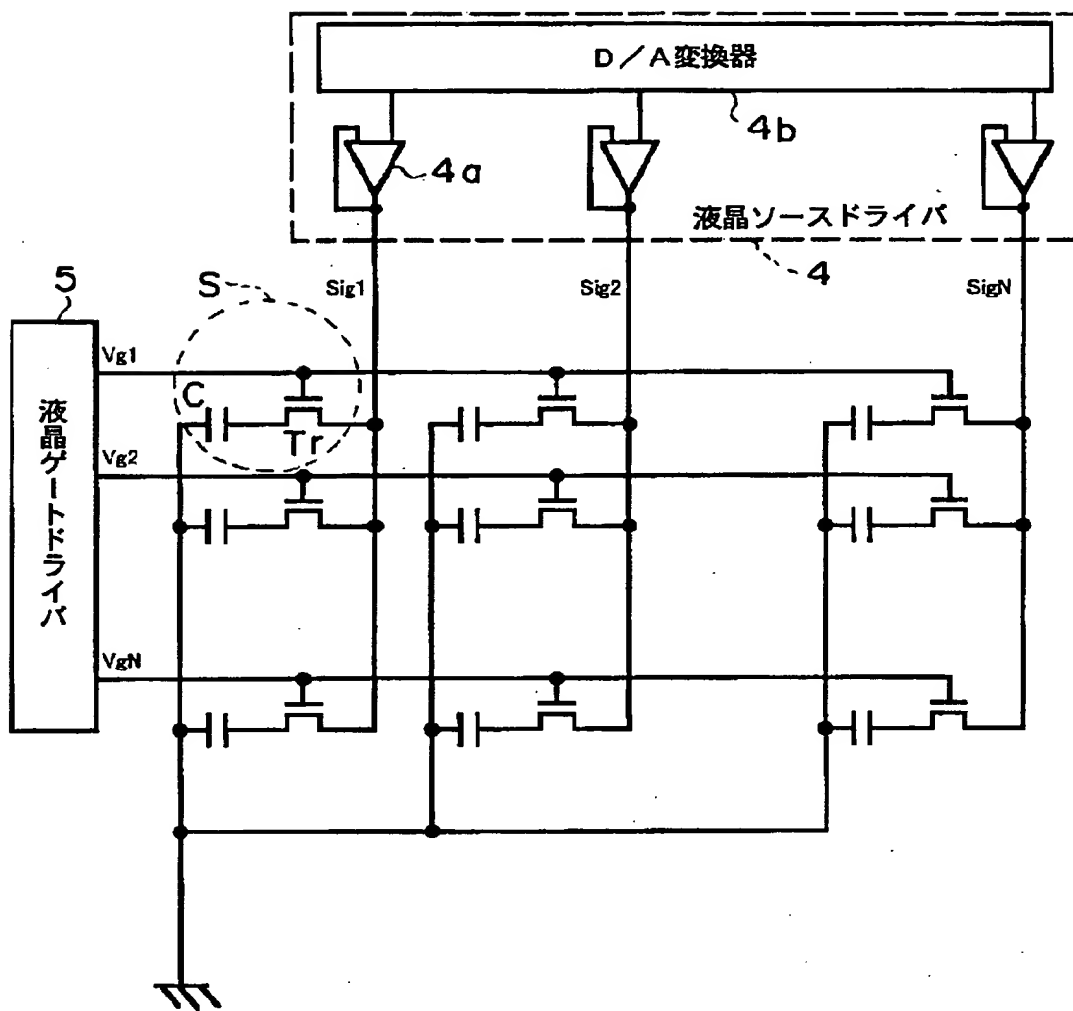
【図 10】



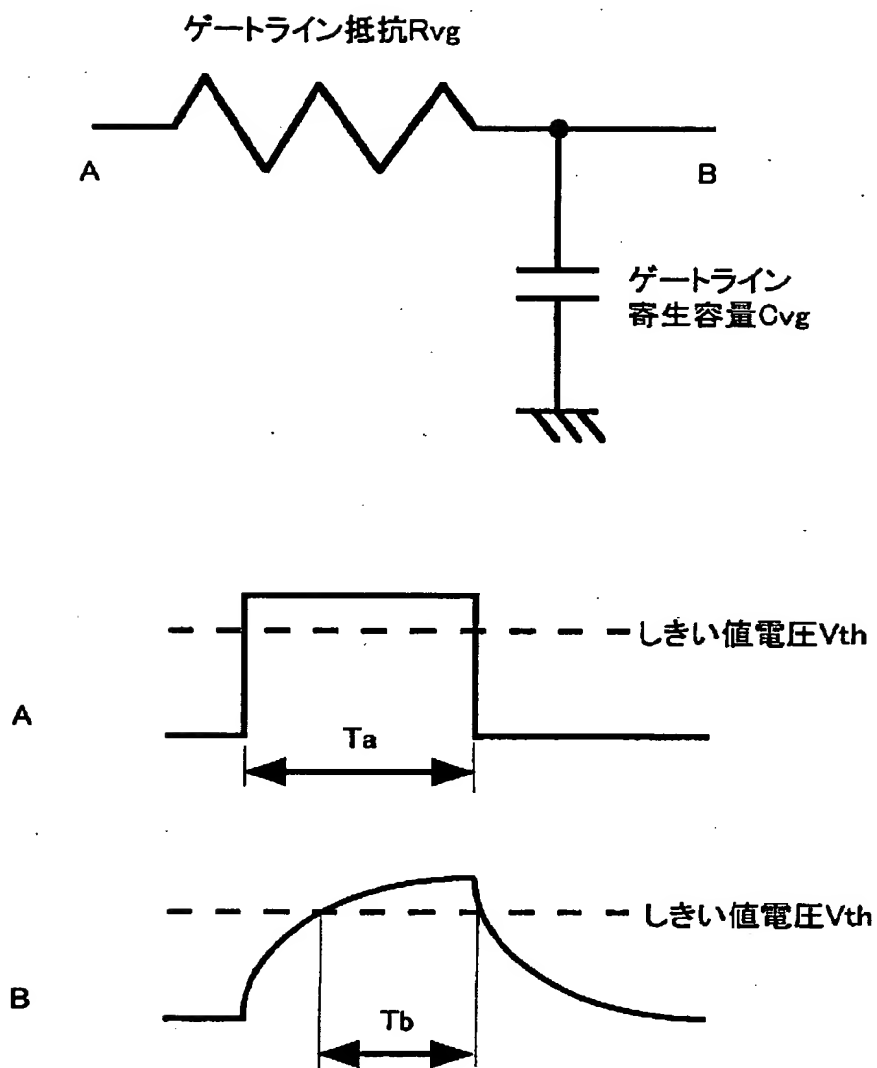
【図 1 1】



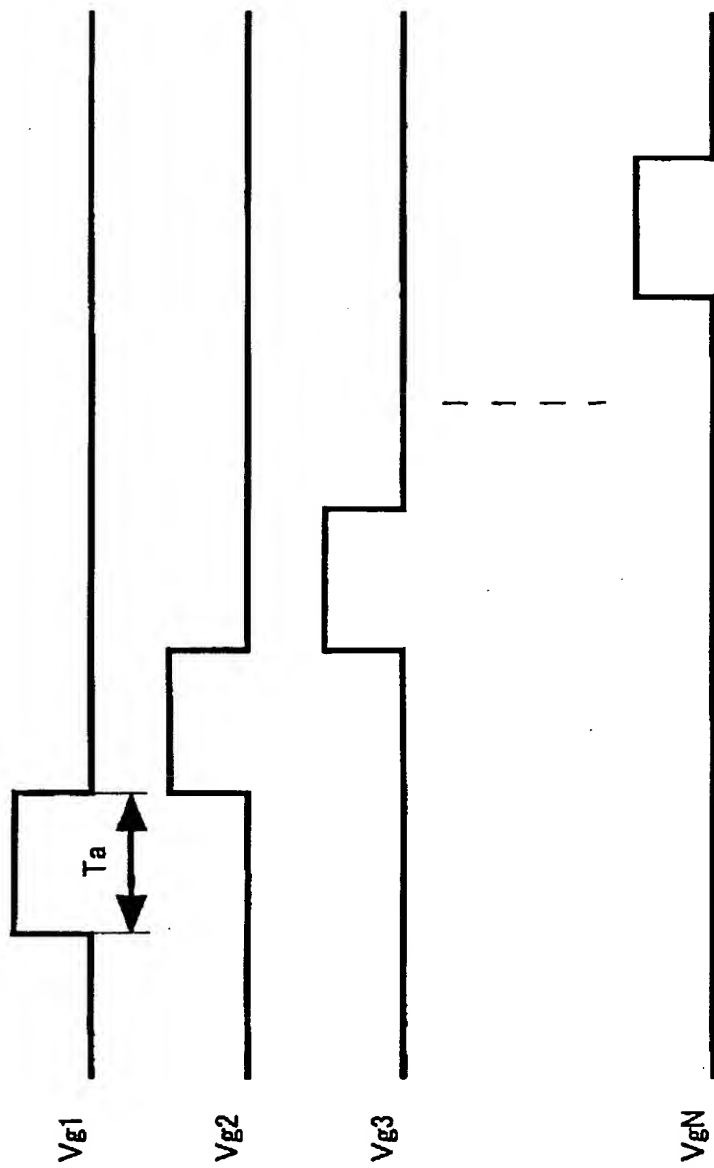
【図 1 2】



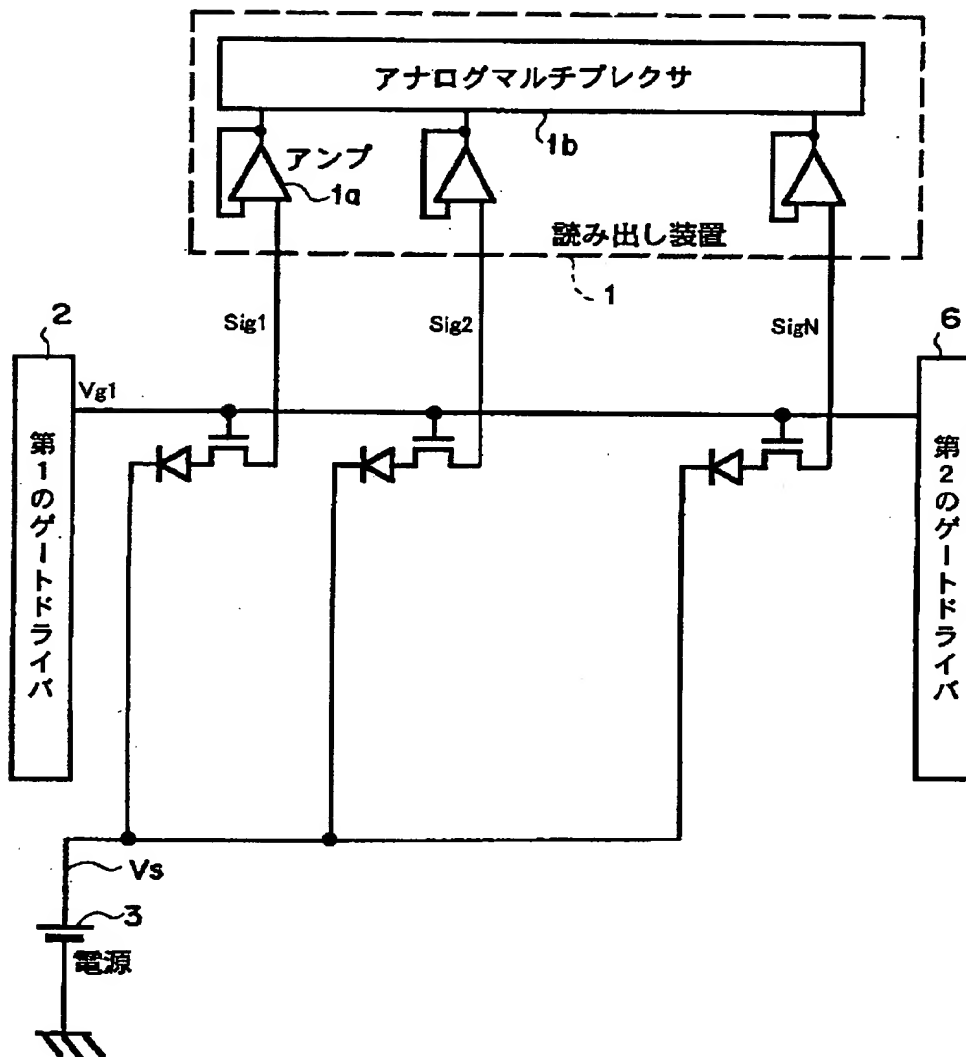
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 断線による不具合が無く、高速で駆動可能とする。

【解決手段】 それぞれスイッチング素子 T_r を有する複数の画素 S を 2 次元的に配置し、一方向に配列されたスイッチング素子に接続される複数の共通線 $V_{g1} \sim V_{gN}$ を有し、共通線に制御信号を印加してスイッチング素子の駆動を行う半導体装置において、共通線には制御信号を印加する複数の駆動手段 2, 6 が接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社